

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-168602

(43) Date of publication of application : 22.06.2001

(51) Int.Cl.

H01P 1/18

(21) Application number : 11-354681

(71) Applicant : MITSUBISHI ELECTRIC CORP

(22) Date of filing : 14.12.1999

(72) Inventor : NAKAJIMA KENSUKE

HIEDA MORISHIGE

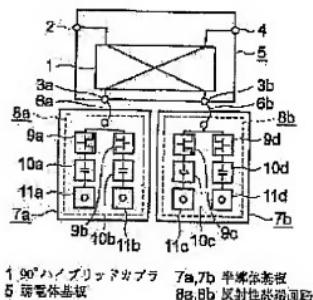
TAKAGI SUNAO

(54) REFLECTION TYPE PHASE SHIFTER

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a reflection type phase shifter which can be made to be small-sized and inexpensive.

SOLUTION: This phase shifter is provided with a dielectric board 5 on which a hybrid circuit 1 is formed which has two distribution terminals and outputs an inputted high frequency signal to one distribution terminal 3a without delaying a phase and the inputted high frequency signal to the other distribution terminal 3b with the phase delayed at a prescribed angle, and semiconductor boards 7a and 7b on which a pair of reflective termination circuits 8a and 8b are formed, which are electrically connected to the terminals 3a and 3b respectively, input the high frequency signal outputted by the circuit 1 to reflect it while bringing about prescribed phase deviation.



1 90°ハイブリッティップラ
2 分配線
3a,3b 半導体基板
5 寄合外基板
7a,7b 半導体基板
8a,8b 反射性終端回路

LEGAL STATUS

[Date of request for examination] 21.02.2003

[Date of sending the examiner's decision of rejection] 08.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(16) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168602

(P2001-168602A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.⁷
H 0 1 P 1/18

識別記号

F I
H 0 1 P 1/18テキスト(参考)
5 J 0 1 2

審査請求 未請求 障害項の数5 O.L (全6頁)

(21) 出願番号	特願平11-354681	(71) 出願人	000000013 三菱電機株式会社 東京都千代田区丸の内二丁目2番8号
(22) 出願日	平成11年12月14日 (1999.12.14)	(72) 発明者	中島 健介 東京都千代田区丸の内二丁目2番8号 三菱電機株式会社内
		(72) 発明者	松井 親重 東京都千代田区丸の内二丁目2番8号 三菱電機株式会社内
		(74) 代理人	100057874 弁理士 吉我 道照 (外6名)

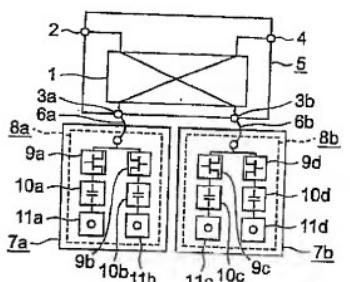
最終頁に続く

(54) 【発明の名称】 反射形移相器

(57) 【要約】

【課題】 サイズを小さくでき、低価格にすることができる反射形移相器を得る。

【解決手段】 二つの分配端子を有し、入力された高周波信号を、一方の分配端子3aには位相を遅らせずにに出力し、他方の分配端子3bには位相を所定角度遅らせて出力するハイブリッド回路1が形成された誘電体基板5と、二つの分配端子3a, 3bにそれぞれ電気的に接続され、ハイブリッド回路1の出力する高周波信号を入力し、所定の位相偏移を生じさせ反射する一对の反射性終端回路8a, 8bが形成された半導体基板7a, 7bとを備えている。



1 90°ハイブリッドカプラー 7a, 7b 半導体基板
5 誘電体基板 8a, 8b 反射性終端回路

【特許請求の範囲】

【請求項1】二つの分配端子を有し、入力された高周波信号を、一方の該分配端子には位相を遅らせずにに出力し、他方の該分配端子には位相を所定角度遅らせて出力するハイブリッド回路が形成された誘電体基板と、上記二つの分配端子にそれぞれ電気的に接続され、上記ハイブリッド回路の出力する上記高周波信号を入力し、所定の位相移位を生じさせ反射する一对の反射性終端回路が形成された半導体基板とを備えたことを特徴とする反射形移相器。

【請求項2】上記誘電体基板は、誘電体多層基板であることを特徴とする請求項1記載の反射形移相器。

【請求項3】上記誘電体多層基板の表面に地導体が形成され、上記半導体基板は、該地導体上に設けられていることを特徴とする請求項2記載の反射形移相器。

【請求項4】上記反射性終端回路は、上記半導体基板に複数が形成され、複数の該反射性終端回路と複数の上記ハイブリッド回路とが各々1対に組み合わされて構成された複数の反射形移相回路が多段に接続されていることを特徴とする請求項1乃至3のいずれか記載の反射形移相器。

【請求項5】上記誘電体基板に形成された上記ハイブリッド回路と上記半導体基板に形成された反射性終端回路は、金属パンデで電気的に接続されていることを特徴とする請求項1乃至4のいずれか記載の反射形移相器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マイクロ波、ミリ波帯で用いられる小形、広帯域、低価格な反射形移相器に関するものである。

【0002】

【従来の技術】図8は、例えば「『等損失化超広帯域反射形G a A s -MMI C4ビット移相器』、1999年電子情報通信学会総合大会講演論文集C-2、P. 76」の第1図に示された従来の反射形移相器の構成図である。

【0003】図8において、1は90°ハイブリッドカプラ、2は高周波信号入力端子、3aは端子、3bは端子、4は高周波信号出力端子、7は半導体基板、8a、8bは反射性終端回路、9a、9b、9c、9dはFET (field effect transistor)、10a、10b、10c、10dはキャバシタである。そして、90°ハイブリッドカプラ1及び反射性終端回路8a、8bは、半導体基板7上にモノリシックに構成されていたために半導体基板7が大きくなるという問題があった。

【0004】次に動作について説明する。まず、高周波信号が、高周波信号入力端子2から90°ハイブリッドカプラ1に入力される。そして、端子3aからは90°ハイブリッドカプラ1に入力された高周波信号と同相の信号が、一方、端子3bからは端子3aを通過する信号より90°位相が遅れた高周波信号が同じ反射係数を有

する反射性終端回路8a及び8bに入力される。

【0005】ここで、FET 9a、9b、9c、9dは、スイッチとして使用されており、各FET 9a、9b、9c、9dのソース・ドレインは同電位とされており、ゲート電圧をビンチオフ電圧以下にした場合が遮断状態、ソース・ドレインと同電位にした場合が通過状態となる。

【0006】FET 9a、9cが通過、FET 9b、9dが遮断状態の場合、位相が90°異なる高周波信号が、それぞれFET 9a、9cを通過し、同じ容量値を有するキャバシタ10a、10cで所望の位相移位を生じ、反射される。反射された高周波信号は、再びFET 9a、9cを通過し、端子3a、3bから再びハイブリッドカプラ1に入力される。端子3a、3bから入力された高周波信号は、高周波信号入力端子2においては、180°位相が異なるため出力は現れず、高周波信号出力端子4においてのみ出力が得られる。

【0007】次に、FET 9b、9dが通過、FET 9a、9cが遮断状態の場合、位相が90°異なる高周波信号がそれぞれFET 9b、9dを通過し、同じ容量値を有するキャバシタ10b、10dで所望の位相移位を生じ、反射される。反射された高周波信号は、再びFET 9b、9dを通過し、端子3a、3bを介してハイブリッドカプラ1で合成され高周波信号出力端子4から出力される。

【0008】ここで、同じ反射係数を持つ反射性終端回路8a、8bにあるキャバシタ10a、10b、10c、10dの容量値を変え、反射される高周波信号の位相移角を設定することにより、高周波信号出力端子4から出力される高周波信号の位相を切り替えることができる。ただし、キャバシタ10aと10c及び、10bと10dは、それぞれ同じ容量値を有する。

【0009】

【発明が解決しようとする課題】このように構成された従来の反射形移相器では、90°ハイブリッドカプラ1及び反射性終端回路8a、8bが、半導体基板7上にモノリシックに構成されていたために、半導体基板7上に半導体素子の占める面積が小さく、誘電体基板上に回路を構成する場合に比べ、面積が高くなるという問題点があった。

【0010】また、90°ハイブリッドカプラ1及び反射性終端回路8a、8bが、半導体基板7上にモノリシックに構成されていたために、半導体基板7上に半導体素子の占める面積が小さく、誘電体基板上に回路を構成する場合に比べ、面積が高くなるという問題点があった。

【0011】さらに、半導体素子と回路が一体化されて構成されているため、回路の再設計を行なう場合、全てを作り直さなければならないという問題があった。

【0012】本発明は上述のような課題を解決するためになされたもので、パッシブ回路である線路及び90°ハイブリッドカプラを誘電体基板に構成し、また、反射性終端回路を半導体基板に構成することにより、半導体

基板のサイズを小さくでき、また、半導体基板のサイズが小さくできることにより、低価格にできることができ、さらに、パッシブ回路である線路及び 90° ハイブリッドカプラーを誘電体基板に、反射性終端回路を半導体基板に構成するため、周波数変更をする場合、広帯域に動作する反射性終端回路を予め作成しておくことにより、時間、費用のかかる半導体基板を作り直す必要がないため、作成時間の短縮及び、低価格にことができる反射形移相器を得ることを目的とする。

【0013】

【課題を解決するための手段】この発明に係る反射形移相器は、二つの分配端子を有し、入力された高周波信号を、一方の分配端子には位相を遅らせずに出し、他方の分配端子には位相を所定角度遅らせて出しするハイブリッド回路が形成された誘電体基板と、二つの分配端子にそれぞれ電気的に接続され、ハイブリッド回路の出力する高周波信号を入力し、所定の位相偏移を生じさせ反射する一对の反射性終端回路が形成された半導体基板とを備えている。

【0014】また、誘電体基板は、誘電体多層基板である。

【0015】また、誘電体多層基板の表面に地導体が形成され、半導体基板は、地導体上に設けられている。

【0016】また、反射性終端回路は、半導体基板に複数が形成され、複数の反射性終端回路と複数のハイブリッド回路とが各々1対に組み合わせて構成された複数の反射形移相器回路が多段に接続されている。

【0017】さらに、誘電体基板に形成されたハイブリッド回路と半導体基板に形成された反射性終端回路は、金属パン端子で電気的に接続されている。

【0018】

【発明の実施の形態】実施の形態1、この発明の実施の形態1に係る反射形移相器について図面を参照して説明する。図1はこの発明の実施の形態1に係る反射形移相器の構成を示す平面図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0019】図1において、1はハイブリッド回路としての 90° ハイブリッドカプラー、2は高周波信号入力端子、3a、3bは端子、4は高周波信号出力端子、5は誘電体基板、6a、6bは金属ワイヤ、7a、7bは半導体基板、8a、8bは反射性終端回路、9a、9b、9c、9dはFET (field effect transistor)、10a、10b、10c、10dはキャバシタ、11a、11b、11c、11dはスルーホールである。

【0020】次に、動作について図面を参照しながら説明する。まず、高周波信号が、高周波信号入力端子2から 90° ハイブリッドカプラー1に入力される。端子3a、3bから 90° 位相が異なる高周波信号が金属ワイヤ6a、6bを介して、同じ反射係数を有する反射性終端回路8a及び8bに入力される。

【0021】ここで、FET 9a、9b、9c、9dは、スイッチとして使用されており、各FET 9a、9b、9c、9dのソース・ドレインは同電位とされており、ゲート電圧をビンチオフ電圧以下にした場合が遮断状態、ソース・ドレインの電位と同電位にした場合が通過状態となる。

【0022】FET 9a、9cが遮断、FET 9b、9dが遮断状態の場合、位相が 90° 異なる高周波信号が、それぞれFET 9a、9cを通過し、同じ容量値を有するキャバシタ10a、10cで所望の位相偏移を生じ、反射される。反射された 90° 位相の異なる高周波信号は、再びFET 9a、9c、金属ワイヤ6a、6bを通過し、端子3a、3bを介してハイブリッドカプラー1で合流され、高周波信号出力端子4から出力される。

【0023】次に、FET 9b、9dが遮断、FET 9a、9cが遮断状態の場合、位相が 90° 異なる高周波信号がそれぞれFET 9b、9dを通過し、同じ容量値を有するキャバシタ10b、10dで所望の位相偏移を生じ、反射される。反射された 90° 位相の異なる高周波信号は、再びFET 9b、9d、金属ワイヤ6a、6bを通過し、端子3a、3bを介してハイブリッドカプラー1で合流され、高周波信号出力端子4から出力される。

【0024】次に、同じ反射係数を持つ反射性終端回路8a、8bにあるキャバシタ10a、10b、10c、10dの容量値を変え、反射される高周波信号の位相偏移角を設定することにより、高周波信号出力端子4から出力される高周波信号の位相を切り替えることができる。ただし、キャバシタ10aと10c及び、10bと10dは、それぞれ同じ容量値を有する。

【0025】このような構成の反射形移相器においては、 90° ハイブリッドカプラー1を誘電体基板5で、反射性終端回路8a、8bを半導体基板7a、7bで構成するため、半導体基板7a、7bのサイズを小さなものとすることができる、低価格にことができる。

【0026】実施の形態2、この発明の実施の形態2に係る反射形移相器について図面を参照して説明する。図2はこの発明の実施の形態2に係る反射形移相器の構成を示す平面図である。また、図3は図2のIII-III線上に沿う矢印断面図である。

【0027】図2及び図3において、2は高周波信号入力端子、3a、3bは端子、4は高周波信号出力端子、6a、6bは金属ワイヤ、7は反射性終端回路が形成された半導体基板、11a、11b、11c、11dはスルーホール、12は誘電体多層基板、13は誘電体多層基板12の一部に設けられ 90° ハイブリッドカプラーが形成されたトリプレートカプラー、14a、14bは誘電体多層基板12の表面に形成された地導体、15a、15b、15c、15dはマイクロストリップ線路である。

【0028】ただし、スルーホール11a、11b、11c

1c, 11dは、トリプレートカプラ13の各端子をマイクロストリップ線路15a, 15b, 15c, 15dへ接続するためのものである。

【0029】本実施の形態は、90°ハイブリッドカプラが形成されたトリプレートカプラ13を有する誘電体多層基板1と、反射性終端回路が形成された半導体基板7とを組み合わせたものである。回路の構成は、実施の形態1と同じである。

【0030】このような構成の反射形移相器においては、90°ハイブリッドカプラ1を、誘電体多層基板1で作成されたトリプレートカプラ13にて構成することにより、90°ハイブリッドカプラ1を誘電体基板5で作成した場合と比較して小さなものとすことができる、反射形移相器の小形化、低価格化を図ることができる。

【0031】実施の形態3、この発明の実施の形態3に係る反射形移相器について図面を参照して説明する。図4はこの発明の実施の形態3に係る反射形移相器の構成を示す平面図である。また、図5は図4のV-V断面沿う矢印断面図である。

【0032】図4及び図5において、2は高周波信号入力端子、3a, 3bは端子、4は高周波信号出力端子、6a, 6bは金属ワイヤ、7は反射性終端回路が形成された半導体基板、11a, 11b, 11c, 11dはスルーホール、1, 2は誘電体多層基板、1, 3は誘電体多層基板1の一部に設けられ90°ハイブリッドカプラが形成されたトリプレートカプラ、14a, 14bは誘電体多層基板1表面に形成された地蔵体、15a, 15b, 15c, 15dはマイクロストリップ線路である。

【0033】ただし、スルーホール11a, 11b, 11c, 11dは、トリプレートカプラ13の各端子をマイクロストリップ線路15a, 15b, 15c, 15dへ接続するためのものである。

【0034】本実施の形態は、実施の形態2の半導体基板7を誘電体多層基板12表面の地蔵体14aの上に設置したものである。その他の構成は、実施の形態2と同じである。

【0035】このような構成の反射形移相器においては、誘電体多層基板12に占める回路素子の面積が小さくなり、小形で、低価格な反射形移相器を実現することができる。

【0036】実施の形態4、この発明の実施の形態4に係る反射形移相器について図面を参照して説明する。図6はこの発明の実施の形態4に係る反射形移相器の構成を示す平面図である。図6において、1a, 1b, 1c, 1dは90°ハイブリッドカプラ、2は高周波信号入力端子、4は高周波信号出力端子、7は反射性終端回路が形成された半導体基板、1, 2は誘電体多層基板、15はマイクロストリップ線路、16a, 16b, 16c, 16dは反射性終端回路と90°ハイブリッドカプラ

とが組み合はれて構成された反射形移相回路である。本実施の形態では、半導体基板7に、それぞれ反射形移相回路うちの反射性終端回路が4セット分形成されている。

【0037】次に動作について説明する。高周波信号入力端子2から入力された高周波信号は、マイクロストリップ線路15を介して反射形移相回路16a, 16b, 16c, 16dを順次通過し、所望の位相に偏移され、高周波信号出力端子4から出力される。

【0038】ここで、各反射形移相回路16a, 16b, 16c, 16dの移相量を独立して切り替えることにより、16状態異なる移相量を得ることができる。

【0039】このような構成の反射形移相器においては、図6に示されるように向かい合った反射形移相回路16a, 16b, 16c, 16dの反射性終端回路を1個にまとめるにより、半導体基板7を反射形移相器の数分だけ作成した場合と比べ、半導体基板7の数を減らせ、組立て工数の低減、組立て時間の短縮、組み立てコストの低減を図ることができる。

【0040】尚、本実施の形態では、反射形移相回路16a, 16b, 16c, 16dが4つの場合を例にしているが、2つ以上であれば同等の効果が得られる。

【0041】実施の形態5、この発明の実施の形態5に係る反射形移相器について図面を参照して説明する。図7はこの発明の実施の形態5に係る反射形移相器の構成を示す断面図である。図7において、7は反射性終端回路が形成された半導体基板、11a, 11b, 11c, 11dはスルーホール、1, 2は誘電体多層基板、13a, 13bは誘電体多層基板1の一部に設けられ90°ハイブリッドカプラが形成されたトリプレートカプラ、14a, 14bは誘電体多層基板表面の地蔵体、15a, 15bはマイクロストリップ線路、17a, 17bは金属パンプである。半導体基板7は誘電体多層基板12と金属ワイヤ6を使用せずに金属パンプ17a, 17bで電気的に接続されている。

【0042】本実施の形態においては、半導体基板7を、金属ワイヤ6を使用せずに誘電体多層基板5あるいは、誘電体多層基板12に接続することにより、金属ワイヤ6で半導体基板7と誘電体多層基板5あるいは、誘電体多層基板12を接続する場合と比べて、組立て工数の低減、組立て時間の短縮、組み立てコストの低減を図ることができる。

【0043】尚、本実施の形態では、誘電体多層基板12を例にしているが、誘電体多層基板12に限らず、その他の基板においても同等の効果が得られる。

【0044】以上の実施の形態においては、反射性終端回路に用いるスイッチング素子としてFETを例として書いているが、その他ダイオード、MOSFET (metal oxide semiconductor field effect transistor)などでも同等の効果が得られる。

【0045】また、キャバシタを用いた方式の反射性終端回路を例として示しているが、他の方式の反射性終端回路を用いても同様の効果が得られる。

【0046】

【発明の効果】この発明に係る反射形移相器は、二つの分配端子を有し、入力された高周波信号を、一方の分配端子には位相を遅らせずに出し、他方の分配端子には位相を所定角度遅らせて出しするハイブリッド回路が形成された誘電体基板と、二つの分配端子にそれぞれ電気的に接続され、ハイブリッド回路の出力する高周波信号を入力し、所定の位相偏移を生じさせ反射する一对の反射性終端回路が形成された半導体基板とを備えている。そのため、反射形移相器のサイズを小さなものとすることができる、低価格にすることができる。

【0047】また、誘電体基板は、誘電体多層基板である。そのため、反射形移相器のサイズをさらに小さなものとすることができる、低価格にすることができる。

【0048】また、誘電体多層基板の表面に地導体が形成され、半導体基板は、地導体上に設けられている。そのため、誘電体多層基板に占める回路素子の面積が小さくなり、小形で、低価格な反射形移相器を実現することができる。

【0049】また、反射性終端回路は、半導体基板に複数が形成され、複数の反射性終端回路と複数のハイブリッド回路とが各々1対に組み合わせられて構成された複数の反射形移相回路が多段に接続されている。そのため、半導体基板の数を減らすことができ、組立て工数の低減、組立て時間の短縮、組み立てコストの低減を図ること

ができる。

【0050】さらに、誘電体基板に形成されたハイブリッド回路と半導体基板に形成された反射性終端回路は、金属パンプで電気的に接続されている。そのため、金属ワイヤで接続する場合と比べて、組立て工数の低減、組立て時間の短縮、組み立てコストの低減を図ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1に係る反射形移相器の構成を示す平面図である。

【図2】この発明の実施の形態2に係る反射形移相器の構成を示す平面図である。

【図3】図2のIII-III'線上に沿う矢視断面図である。

【図4】この発明の実施の形態3に係る反射形移相器の構成を示す平面図である。

【図5】図5は図4のV-V'線上に沿う矢視断面図である。

【図6】この発明の実施の形態4に係る反射形移相器の構成を示す平面図である。

【図7】この発明の実施の形態5に係る反射形移相器の構成を示す断面図である。

【図8】從来の反射形移相器の構成図である。

【符号の説明】

1 90°ハイブリッドカプラ (ハイブリッド回路)、

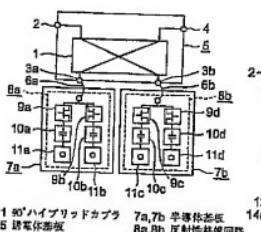
5 誘電体基板、8a, 8b 反射性終端回路、7, 7'

a, 7 b 半導体基板、12 誘電体多層基板、14

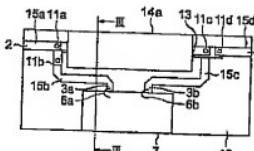
a, 14 b 地導体、16 a, 16 b, 16 c, 16 d

反射形移相回路、17 a, 17 b 金属パンプ。

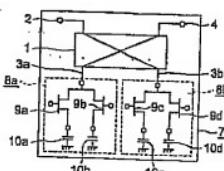
【図1】



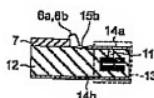
【図2】



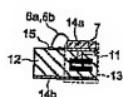
【図3】



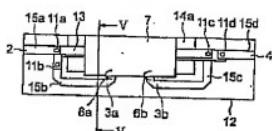
【図3】



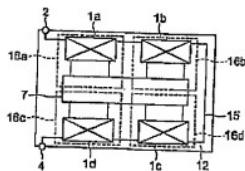
【図5】



【図4】

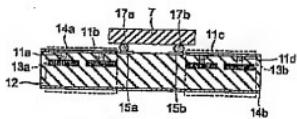


【図6】



16a, 16b, 16c, 16d 反射遮蔽板

【図7】



17a, 17b 全周パンフ

フロントページの続き

(72)発明者 高木 直

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 5J012 GA13 HA05